

# 1. NIVOI PROJEKTOVANJA

U skoro svim oblastima koje se odnose na inženjersko projektovanje, proces koji počinje od ideje pa do dobijanja konačnog rezultata se deli na veći broj malih koraka. Ovakav pristup se usvaja i kada je u pitanju računarska tehnika. Prvo se identifikuju nivoi projektovanja. Kada je u pitanju digitalni računar, tri različita nivoa se mogu izdvojiti, a to su arhitekturni, implemetacioni i nivo realizacije.

## 1.1. Arhitekturni nivo

Arhitektura računarskog sistema se može definisati kao funkcionalni izgled svom korisniku. Arhitektura računara se definiše opisnim dokumentom. Na slici 1.1 prikazan je arhitekturni opis instrukcije ADD za mikroprocesor (CPU) MC68020 firme Motorola, kako je to opisano u MC68020 User's Manual Motorola 1985.

Efekat: Izvor + Odredište → Odredište  
 Asemblerska ADD <ea>,Dn  
 sintaksa: ADD Dn, <ea>  
 Atributi Veličina = (Bajt, Reč, Duga reč)  
 Opis: Sabira izvorni operand sa određišenim operandom koristeći binarno sabiranje i smešta rezultat u određišanu lokaciju. Veličina operanada može biti specifična kao bajt, reč ili duga reč. Način rada instrukcije ukazuje koji operand je izvorni a koji određišni, kao i na veličinu operanda.  
 Kodovi uslova:

X	N	Z	V	C
•	•	•	•	•

N: Postavljen ako je reultat negativan, inače obrisan  
 Z: Postavljen ako je rezultat nula, obrisan inače  
 V: Postavljen ako je generisano prekoračenje, obrisan inače  
 C: Postavljen ako je generisan prenos, obrisan inače  
 X: Isto kao i za bit prenosa.

Format instrukcije:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
1	1	0	1	Registar Dn	Opmod			Efektivna adresa						
							Mod							Registar

Polja instrukcije:

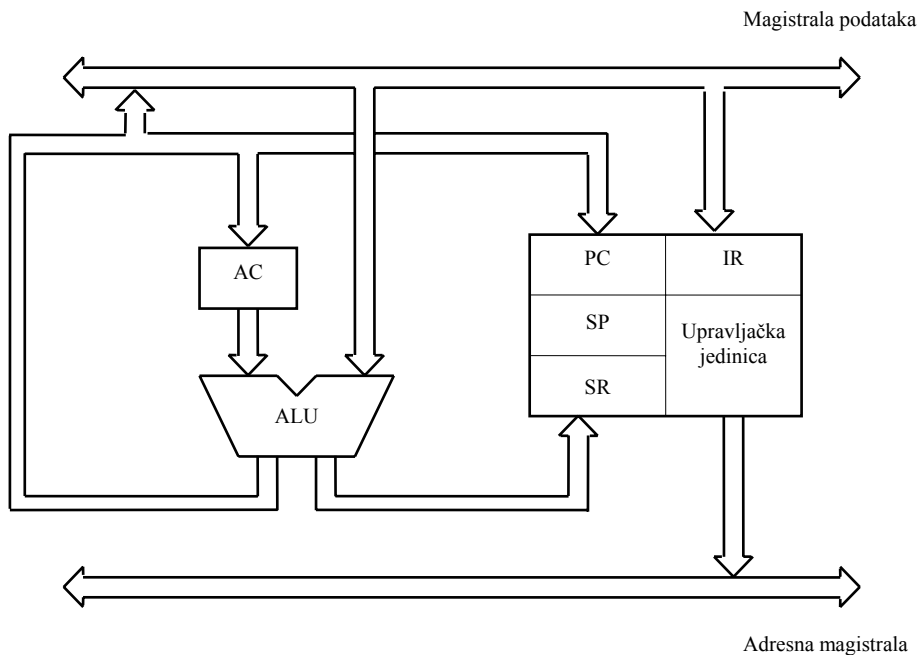
Registarsko polje: Specificira bilo koji od 8 registara za podatke  
 Opmod polje:  
 Bajt Reč Duga reč Efekat  
 000 001 010 <ea> + <Dn> → <Dn>  
 100 101 110 <Dn> + <ea> → <ea>

Sl. 1.1. Arhitekturni opis instrukcije ADD mikroprocesora MC68020.

Ovaj arhitekturni opis startuje identifikacijom operacije koja treba da se obavi i asemblerskom sintaksom. Zatim se daje tip podataka na koji se ta naredba primenjuje, i sledi kratak opis akcija koje se obavljaju od strane instrukcije i efekat koje te akcije imaju na uslovne kodove (markere). Zadnji deo arhitekturnog opisa prikazuje format instrukcije (binarna prezentacija) i korišćenje različitih polja u okviru formata.

## 1.2. Implementacioni nivo

Implementacija (ili organizacija) sistema znači "logička struktura koja daje oblik arhitekturi". Može se kazati da arhitektura opisuje "šta se dešava" a implementacija opisuje "kako se to desilo". Na slici 1.2 prikazana je pojednostavljena predstava implementacije CPU-a, koja ima: akumulatorsku logičku jedinicu ALU, jedan akumulator (AC), programski brojač (PC), pokazivač magacina (SP) i statusni registar (SR). Instrukcioni registar (IR) sadrži instrukciju koja se izvršava, dok se upravljanje i sinhronizacija rada (control and timing) obavlja u upravljačkoj (control) sekciji. Ponekad je ova upravljačka sekcija implementirana u obliku programa i tada se naziva mikroprogram.



Sl. 1.2. Osnovna implementacija CPU-a.

U toku projektovanja računara mora se načiniti nekoliko implementacionih izbora, a to su: izbor između serijskog ili paralelnog (bajtovsko/rečno-orijentisani) toka podataka; direktno izvedene (*hard-wired*) ili mikroprogramski izvedene instrukcije; odluka kako da se kodira informacija; da se analizira odnos cena/performance za datu implementaciju.

## 1.3. Nivo realizacije

Realizacija predstavlja konkretnu verziju implementacije. Ona određuje koje će se komponente koristiti, kako će se komponente međusobno povezivati i kako će biti raspoređene jedna u odnosu na drugu. Drugi aspekti realizacije se odnose na pouzdanost komponenata, održavanje, hlađenje, oklopljavanje, pakovanje itd. Realizacija je usko povezana sa tehnološkim razvojem komponenata.